

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093066

(43)Date of publication of application : 10.04.1998

-----  
(51)Int.Cl. H01L 27/146

H04N 5/335

-----  
(21)Application number : 08-245308 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.09.1996 (72)Inventor : TANAKA NAGATAKA

YAMAGUCHI TETSUYA

IHARA HISANORI

IIDA YOSHINORI

NOZAKI HIDETOSHI

MABUCHI KEIJI

OSAWA SHINJI

---

(54) SOLID-STATE IMAGING DEVICE AND DRIVING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state imaging device which can simplify a cell structure and have a large photodiode open area ratio by reducing the number of transistors used in the cells of the imaging device.

SOLUTION: A unit cell is made up of a photodiode 21, a read transistor 22, an amplifying transistor 23 and a reset transistor 24. A read transistor 26 connected to a source line 25 is connected to the amplifying transistor 23 through a signal line 27. A vertical register 27 has a read line 29 connected to a gate of the read transistor 22, a drain line 30 connected to drains of amplifying and reset transistors 23 and 24, and a reset address line 31 connected to a gate of the reset transistor 24. The signal line 27 is connected to a storage capacitor 34

through a sample/hold transistor 33. Signal charge causes a read pulse to be applied from a horizontal register 35 to the horizontal transistor 36 and then output to a signal output line 37.

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect

the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] In a drive method of a solid state camera characterized by comprising the following, although the above-mentioned unit cell is chosen, A drive method of a solid state camera impressing voltage from the exterior and carrying out by and setting the above-mentioned amplification transistor as the operating point in all the cells of only a certain selected line. [ a reset transistor ]

An imaging region which arranges a unit cell with a photo-diode, a reset transistor, an amplification transistor, and a signal-charge readout transistor in the shape of procession two dimensions at least on a semiconductor substrate.

A vertical selecting means which chooses a read-out line of this imaging region.

Two or more vertical signal wires arranged in a column direction which reads a detecting signal of the above-mentioned photo-diode equivalent to a selected line.

A horizontal transistor which reads a detecting signal from this vertical signal wire to a horizontal signal line arranged at a line writing direction one by one.

[Claim 2] A drive method of the solid state camera according to claim 1 although non selection of the above-mentioned unit cell is made, impressing voltage to it from the exterior in all the cells of only a certain selected line, and carrying out to it by changing into the state where the above-mentioned amplification transistor

was turned off. [ the above-mentioned reset transistor ]

[Claim 3]A solid state camera, wherein channel width by the side of the above-mentioned photoelectric conversion accumulating part is narrower than channel width by the side of the above-mentioned output circuit and the above-mentioned readout transistor is set up in a solid state camera characterized by comprising the following.

Two or more photoelectric conversion accumulating parts arranged in the shape of procession two dimensions on a semiconductor substrate.

A vertical selecting means which chooses a read-out line of two or more above-mentioned photoelectric conversion accumulating parts.

Two or more vertical signal wires arranged in a column direction which reads a detecting signal of a selected photoelectric conversion accumulating part.

Two or more output circuits which output a detecting signal to the above-mentioned vertical signal wire by considering as an input a detecting signal read from the above-mentioned photoelectric conversion accumulating part, A level selecting means for reading a detecting signal from a read-out MOS type transistor which reads selectively a detecting signal from the above-mentioned photoelectric conversion accumulating part to the above-mentioned output circuit, and two or more above-mentioned vertical signal wires to a horizontal signal line arranged at a line writing direction one by

one.

[Claim 4]A solid state camera, wherein it repeats mutually the 1st wiring that constitutes the above-mentioned read-out means, and the 2nd wiring that constitutes the above-mentioned ejecting means and arrangement formation is carried out in a mold solid state camera characterized by comprising the following.

A photoelectric conversion means which performs photoelectric conversion.

A signal-charge accumulation means which accumulates a signal charge by the above-mentioned photoelectric conversion.

An ejecting means which resets an accumulated signal charge and is discharged.

A read-out means which reads signal current from an amplification transistor modulated with a signal charge accumulated [ above-mentioned ], and this amplification transistor.

[Claim 5]The solid state camera according to claim 4, wherein the 1st above-mentioned wiring and the 2nd wiring do not have width of wiring wired in the upper part larger than width of wiring wired by the lower part.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the solid state camera which used the amplified type MOS sensor, cell constitution is simplified, and it is related with a solid state camera which can obtain high resolution, and a drive method for the same.

[0002]

[Description of the Prior Art]In recent years, the solid state camera which gave the amplifying function to the inside of a pixel in modulating the potential of a signal charge accumulation part with the signal charge by which it was generated by photoelectric conversion, and modulating the amplification transistor inside a pixel with the potential is developed. This device is called an amplification type solid state image sensor, and is expected as a solid state camera suitable for reduction of the pixel size by the increase in a pixel number, or reduction of an image size.

[0003]Drawing 14 is a figure showing the composition of the conventional solid state camera. In drawing 14, a unit cell comprises the photo-diode 1, the readout transistor 2, the amplification transistor 3, the reset transistor 4, and the address transistor 5, The load transistor 7 connected to the source line 6 constitutes the amplification transistor 3 and the source follower circuit through the signal wire 8. The amplification transistor 3 and the address transistor 5 are connected by source / drain (S/D) part 9.

[0004]From the vertical register 10, the address line 11, the sense line 12, and drain wire 13\*\* are wired, The sense line 12 is connected to the gate of an address transistor, and, as for the gate of the readout transistor 2, and the drain wire 13, the address line 11 is connected to the drain of the address transistor 5 and the reset transistor 4. The signal wire 8 is connected with the storage



capacitance 16 via the sample / hold transistor 15 (SHTr) to which the sample / hold line 14 was connected. A signal charge is outputted to the signal output line 19 by impressing a read pulse to the horizontal transistor 18 from the horizontal register 17.

[0005]Drawing 15 is a timing chart when driving the solid state camera of structure such conventionally. The inside of the level blanking HBLK is divided into  $t_1 - t_{11}$ , and is explained. First, by one [ using address-line 11' chosen as a high (Hi) level ( $t_2$ ), setting sense-line 12' to Hi, and / the reset transistor 4 and the readout transistor 2 ], The signal of the pixel row A chosen now is read at the same time the pixel row B in front of one line is reset ( $t_3$ ).

[0006]Then, ( $t_7$ ) and a signal are stored in the storage capacitance 16 by one [ the sample hold line 14 ]. And a signal is outputted to the signal output line 19 by impressing a read pulse to the horizontal transistor 18 from the horizontal register 17 during a signal shelf-life.

[0007]Drawing 16 is a figure showing the cell part sectional shape which constituted the readout transistor 7, the amplification transistor 3, and the address transistor 5 in one section. An electric charge is poured in from the source line 6, and passes along the readout transistor 7, the signal wire 8, and the amplification transistor 3, and also is discharged through the S/D part 9 and the address transistor 5 to the drain wire 13. 20 is a substrate.

[0008]

[Problem(s) to be Solved by the Invention]Drawing 17 is a potential distribution figure of the cross section of drawing 16, and (a) and (b) are the figures showing the time of cell selection and non selection, respectively. As shown in drawing 17 (a), when the cell is chosen, an electric charge is poured in from the source line 6, and passes along the readout transistor 7, the signal wire 8, and the amplification transistor 3, and also is discharged through the S/D part 9 and the address transistor 5 to the drain wire 13. Since a signal level is impressed to the amplification transistor 3 at this time, the output according to that voltage appears in the signal wire 8.

[0009]On the other hand, as shown in drawing 17 (b), when the cell is not chosen, since the address transistor 5 is turned off, an electric charge is poured in from the source line 6, and even the readout transistor 7 and the signal wire 8 flow, but. It does not flow into the drain wire 13, but the signal wire 8, the amplification transistor 3, and the S/D part 9 have become floating. For this reason, the potential of this portion changes with the signal potential of other selected cells.

[0010]Thus, in the conventional cellular structure, since the address transistor was used, there was a problem that the large numerical aperture of a photo-diode could not be taken. Therefore, this invention was made in view of

the above-mentioned actual condition, reduces the transistor count used within a cell, and simplifies cell constitution, and an object of an invention is to provide the solid state camera which can take the large numerical aperture of a photoelectric conversion part.

[0011]

[Means for Solving the Problem]Namely, an imaging region where this invention arranges a unit cell with a photo-diode, a reset transistor, an amplification transistor, and a signal-charge readout transistor in the shape of procession two dimensions at least on a semiconductor substrate, Two or more vertical signal wires arranged in a vertical selecting means which chooses a read-out line of this imaging region, and a column direction which reads a detecting signal of the above-mentioned photo-diode equivalent to a selected line, Although the above-mentioned unit cell is chosen from this vertical signal wire in a drive method of a solid state camera provided with a horizontal transistor which reads a detecting signal to a horizontal signal line arranged at a line writing direction one by one, In all the cells of only a certain selected line, voltage is impressed from the exterior, and it carries out by setting the above-mentioned amplification transistor as the operating point. [ a reset transistor ]

[0012]It is the solid state camera provided with the following, and channel width by the side of the above-mentioned photoelectric conversion accumulating part

is narrower than channel width by the side of the above-mentioned output circuit, and the above-mentioned readout transistor is set up.

Two or more photoelectric conversion accumulating parts arranged in the shape of procession two dimensions on a semiconductor substrate.

A vertical selecting means which chooses a read-out line of two or more above-mentioned photoelectric conversion accumulating parts.

Two or more vertical signal wires arranged in a column direction which reads a detecting signal of a selected photoelectric conversion accumulating part.

Two or more output circuits which output a detecting signal to the above-mentioned vertical signal wire by considering as an input a detecting signal read from the above-mentioned photoelectric conversion accumulating part.

A level selecting means for reading a detecting signal from a read-out MOS type transistor which reads selectively a detecting signal from the above-mentioned photoelectric conversion accumulating part to the above-mentioned output circuit, and two or more above-mentioned vertical signal wires to a horizontal signal line arranged at a line writing direction one by one.

[0013]A photoelectric conversion means to which this invention carries out photoelectric conversion and a signal-charge accumulation means which

accumulates a signal charge by the above-mentioned photoelectric conversion, An ejecting means which resets an accumulated signal charge and is discharged, and an amplification transistor modulated with a signal charge accumulated [ above-mentioned ], In a mold solid state camera provided with a read-out means which reads signal current from this amplification transistor, the 1st wiring that constitutes the above-mentioned read-out means, and the 2nd wiring that constitutes the above-mentioned ejecting means are repeated mutually, and arrangement formation is carried out.

[0014]If it is in a drive method of a solid state camera of this invention, selection of a cell and non selection are performed via a reset transistor. Since channel width of a readout transistor is [ amplifying-circuit side ] larger than the photo-diode side according to this invention, as for channel potential under a gate of a readout transistor, a direction of the amplifying-circuit side becomes high as a result of the narrow channel effect. Therefore, since a signal charge which passes a channel of a readout transistor moves also according to this potential difference, a read time becomes short rather than a case where it flows only by diffusion.

[0015]Since it stops restricting a numerical aperture of a photo-diode only with wiring width of one duty among wiring for read-out of signal current, and wiring for discharge of a signal charge if it is in this invention, it is possible to enlarge a

numerical aperture of a photo-diode conventionally. In same lamination type image sensor, even if it carries out minuteness making of the element, a drain wire and a signal wire can be wired.

[0016]

[Embodiment of the Invention] Hereafter, this embodiment of the invention is described with reference to drawings. Drawing 1 is a figure showing the composition of the solid state camera in a 1st embodiment of this invention.

[0017] In drawing 1, the unit cell comprises the photo-diode 21, the readout transistor 22, the amplification transistor 23, and the reset transistor 24, The readout transistor 26 connected to the source line 25 constitutes the amplification transistor 23 and the source follower circuit through the signal wire 27.

[0018] From the vertical register 28, the sense line 29, the drain wire 30, and the reset address line 31 are wired, The drain wire 30 is connected to the gate of the readout transistor 22, and, as for the drain of the amplification transistor 23 and the reset transistor 24, and the reset address line 31, the sense line 29 is connected to the gate of the reset transistor 24. The signal wire 27 is connected with the storage capacitance 34 via the sample / hold transistor 33 (SHTr) connected to the sample / hold line 32. A signal charge is outputted to the signal output line 37 by impressing a read pulse to the horizontal transistor 36 from the

horizontal register 35.

[0019]Next, with reference to the timing chart shown in drawing 2, operation when driving the device in a 1st embodiment is explained. The inside of the level blanking HBLK is divided into  $t_{21}$  -  $t_{31}$ . First, drain wire 30' of the pixel row A to choose is set to Hi ( $t_{22}$ ), and reset address-line 31' is turned off after that ( $t_{23}$ ). And sense-line 29' is set to Hi ( $t_{24}$ ). At this time, the reset address line 31 is set to Hi, and, as for the pixel row B which is not chosen, the drain wire 30 is used as the low (Low) level.

[0020]Then, ( $t_{26}$ ) and a signal are stored in the storage capacitance 34 by one [ a sample / hold line 32 ]. And a signal is outputted to the signal output line 37 by impressing a read pulse to the horizontal transistor 36 from the horizontal register 35 during a signal shelf-life.

[0021]Drawing 3 is a figure showing the cell part sectional shape which constituted the readout transistor 26 and the amplification transistor 23 in one section. An electric charge is poured in from the source line 25, passes along the readout transistor 26, the signal wire 27, and the amplification transistor 23, and is discharged to the drain wire 30.

[0022]Drawing 4 is a potential distribution figure of the cross section of drawing 3, and (a) and (b) are the figures showing the time of cell selection and non selection, respectively. As shown in drawing 4 (a), when the cell is chosen, an

electric charge is poured in from the source line 25, and is discharged through the readout transistor 26, the signal wire 27, and the amplification transistor 23 to the drain wire 30. Since a signal level is impressed to the amplification transistor 23 at this time, the output according to that voltage appears in the signal wire 27.

[0023]On the other hand, as shown in drawing 4 (b), when the cell is not chosen, since the amplification transistor 23 is turned off, an electric charge is poured in from the source line 25, and even the readout transistor 26 and the signal wire 27 flow, but. It does not flow into the drain wire 30, but the signal wire 27 has become floating. For this reason, the potential of this portion changes with the signal potential of other selected cells.

[0024]Thus, since an address transistor becomes unnecessary in a cell according to a 1st embodiment, it becomes possible to take a large numerical aperture. The example of a pattern of a fundamental solid state camera is shown in drawing 5 here, and drawing 6 is a circuitry figure of the unit cell of the solid state camera shown in drawing 5.

[0025]In drawing 6, when a signal charge is read from the photo-diode 40 to the gate of the amplification transistor 42 through the readout transistor 41 and the vertical selection transistor 43 is chosen by the vertical selection signal Y, the amplified signal is read. The signal charge read from the photo-diode 40 is



thrown away into a drain through the charge-and-discharge transistor 44, before the signal charge of the next field is read.

[0026]It is as follows when this is explained using the plane pattern shown in drawing 5. That is, it is connected to the gate of the vertical selection transistor 43, and the horizontal address lines 45 currently horizontally wired from the vertical shift register choose the line which reads a signal. Similarly, the reset line 46 and the sense line 47 which are horizontally wired from a vertical shift register are connected to the gate of the reset transistor 44, and the gate of the readout transistor 41, respectively. The drain of the amplification transistor 42 is connected to the vertical signal wire arranged perpendicularly through the contact 48 between layers.

[0027]One of the readout transistor 41 will read the signal charge accumulated in the above-mentioned photo-diode 40 to a drain. Since this drain is electrically connected to the gate 50 of the amplification transistor 42 through the contact 49 between layers, the potential of the gate 50 changes. One of the vertical selection transistor 43 will read the amplified signal to a vertical signal wire through the contact 48 between layers.

[0028]The signal charge which is modulating the gate of the amplification transistor 42 read from the photo-diode 40 is thrown away into a drain through the charge-and-discharge transistor 44, before the signal charge of the next field

is read. The drain of the charge-and-discharge transistor 44 is a drain of the amplification transistor of the adjoining unit cell in common, and is connected with the power source wire through the contact 51 between layers.

[0029]By drawing 5, since it is easy, only an element formation region, gate polysilicon, and the pattern of contact between layers are shown, but the 2nd layer polysilicon and aluminum wiring also exist actually.

[0030]If the channel width of the readout transistor 41 is seen at this time, also in the channel width by the side of the photo-diode 40, the channel width by the side of a drain is also the same. Thus, in the fundamental solid state camera, the channel potential of the readout transistor crossed to channel directions about the MOS form readout transistor between a photo-diode and an amplifying circuit, and it was fixed. For this reason, the signal charge which runs in a channel moved only by diffusion, before read-out is completed, it will have required time, and it was set to one of the factors in which this bars multi pixel-ization of an element. Then, in order to shorten the read time of the signal charge from the photo-diode using a readout transistor, it is possible about the channel width of a readout transistor to make the amplifying-circuit side larger than the photo-diode side.

[0031]Drawing 7 is a top view of the solid state camera concerning a 2nd embodiment of this invention. Since the lineblock diagram of the unit cell of the

solid state camera shown in this drawing 7 is the same as that of drawing 6, explanation is omitted here.

[0032]In drawing 7, it is connected to the gate of the vertical selection transistor 43, and the horizontal address lines 45 currently horizontally wired from the vertical shift register choose the line which reads a signal. Similarly, the reset line 46 and the sense line 47 which are horizontally wired from a vertical shift register are connected to the gate of the reset transistor 44, and the gate of readout transistor 41', respectively. The drain of the amplification transistor 42 is connected to the vertical signal wire arranged perpendicularly through the contact 48 between layers.

[0033]One of readout transistor 41' will read the signal charge accumulated in the photo-diode 40 to a drain. Since this drain is electrically connected to the gate 50 of the amplification transistor 42 through the contact 49 between layers, the potential of the gate 50 changes.

[0034]One of the vertical selection transistor 43 will read the amplified signal to a vertical signal wire through the contact 49 between layers. The signal charge which is modulating the gate 50 of the amplification transistor 42 read from the photo-diode 40 is thrown away into a drain through the charge-and-discharge transistor 44, before the signal charge of the next field is read.

[0035]The drain of the charge-and-discharge transistor 44 is a drain of the

amplification transistor 42 of the adjoining unit cell in common, and is connected with the power source wire through the contact 51 between layers. By drawing 7, since it is easy, only an element formation region, gate polysilicon, and the pattern of contact between layers are shown, but the 2nd layer polysilicon and aluminum wiring also exist actually.

[0036]If the channel width of readout transistor 41' is seen at this time, the channel width by the side of a drain is widely formed rather than the channel width by the side of the photo-diode 40.

[0037]drawing 8 explains the effect of a 2nd embodiment briefly, and the top view in which (a) shows the pattern of readout transistor 41', the sectional view where (b) met the Drawing (a) I-I line, and (c) are the figures showing the channel potential.

[0038]In drawing 8 (a) and (b), the photo-diode 40 serves as source and the 1st layer polysilicon serves as the gate electrode 53. The signal charge produced with the photo-diode 40 is read to the drain 54 with one of a transistor. 55 is contact for which the drain of a readout transistor and wiring of the upper layer which is not illustrated are connected, and, as for a P type board and 57, gate oxide and 59 are LOCOS regions an N type impurity diffused layer and 58 56.

[0039]In drawing 8 (c), in the lower part of the gate electrode 53, channel width is large as it goes in the direction of I [ from I ] ' ( $W_1 < W_2$ ). So, channel potential

becomes low according to the narrow channel effect (in drawing 8 (c), it becomes the upper part). As a result, the signal charge which passes a channel will receive acceleration in the direction of a drain also according to potential difference. Therefore, as compared with the conventional example which flows only by diffusion, it becomes possible to shorten a read time.

[0040] Thus, since the channel width of a readout transistor is [ amplifying-circuit side ] larger than the photo-diode side according to a 2nd embodiment, as for the channel potential under the gate of a readout transistor, the direction of the amplifying-circuit side becomes high as a result of the narrow channel effect. Therefore, since the signal charge which passes the channel of a readout transistor moves also according to this potential difference, a read time becomes short rather than the case where it flows only by diffusion.

[0041] By the way, in order to enlarge the numerical aperture of a photo-diode, wiring of a signal wire and a drain wire may be constituted in piles. That is, the basic constitution of the pixel in an amplification type solid state image sensor is wiring which connects a photo-diode, a reset transistor, an amplification transistor, a line selection transistor or capacitive coupling, and a photo-diode and an amplification transistor gate.

[0042] In accumulating temporarily the signal charge which carried out photoelectric conversion, the storage diode was formed in a different field from a

photo-diode, and it has provided the transfer gate between the photo-diode and the storage diode.

[0043]The signal wire for reading the signal amplified by the amplification transistor and the drain wire for resetting and discharging a signal charge are wired, respectively. Usually, the signal wire and the drain wire are independently wired by two, respectively.

[0044]Minuteness making of the element is carried out, and in the solid state image pickup device of the structure which accumulated the photoelectric conversion part in the upper part of a transistor, a signal wire, and a drain wire, in order to obtain the electrical continuity of a picture element electrode and an accumulating part, a metaled cap must be formed for the layer which forms a signal wire, and the layer which forms a drain wire in the same layer. For this reason, when forming a signal wire and a drain wire, there are restrictions of making it not contact the above-mentioned metal cap electrically.

[0045]In such an amplification type solid state image sensor, wiring of a signal wire and a drain wire was wired independently. However, in performing minuteness making of an element, in the structure which became independent about the above-mentioned wiring, wiring, a signal wire and a drain wire, of two will restrict the numerical aperture of a photodiode part.

[0046]In the imaging device of the structure which laminated the photoelectric

conversion part at the topmost part, there is a problem that only the space which wires independently so that a signal wire and a drain wire may not be lapped is lost. That is, when forming a detailed element, it becomes impossible to wire without piling up a signal wire and a drain wire.

[0047]For this reason, the embodiment described below explains the example which enlarged the numerical aperture of the photo-diode by composition which piled up the signal wire and the drain wire. Drawing 9 is a figure in which showing a 3rd embodiment of this invention and showing the arrangement configuration of the wiring (drain wire) for discharging the wiring (signal wire) for reading the signal current amplified about 1 pixel of an amplified type solid state image pickup device, and a signal charge. Drawing 10 is a figure showing the one side arrangement about wiring arrangement of the amplified type solid state image pickup device of drawing 9. Drawing 11 is a representative circuit schematic of this amplified type solid state image pickup device.

[0048]In this amplified type solid state image pickup device, the  $p^+$  layer (isolation region) 62 and the  $p^{++}$  layer (photo-diode) 63 are formed in the surface layer of the p type silicon semiconductor substrate 61. A signal charge is generated in this photo-diode 63. And after the contact hole for the photo-diode 63 and electric interengagement is formed, it is formed so that the photo-diode 63, the gate of the amplification transistor 64, and electric interengagement may

be obtained. A n layer is formed in the field in which the reset transistor 65 for discharging the amplification transistor 64 and a signal charge is formed at this time.

[0049]And source and a drain are formed and the contact hole for having electric interengagement is formed. Then, in order to form the gate of a transistor, polysilicon accumulates, and it is processed into desired shape, and the amplification transistor 64 and the reset transistor 65 are formed. In order to accumulate a signal charge, the capacitor 66 is formed of polysilicon and  $\text{SiO}_2/\text{SiN}/\text{SiO}_2$  (insulating layer).

[0050]Thus, the element part of an amplified type solid state image pickup device is formed. Subsequently, after the element part of an amplification type solid state image sensor is formed, the signal wire 67 which is wiring for reading signal current, and the drain wire 68 which is wiring for discharging a signal charge are wired. Since the drain wire 68 is formed at this time, an aluminum (aluminum) thin film is formed of sputtering, for example. And by patterning, the RIE (reactive ion etching) method, etc., it is processed into desired shape and the drain wire 68 is formed.

[0051]Next, the silicon oxide 69 is laminated. This silicon oxide 69 bears the role which protects the drain wire 68 as an insulating layer, and prevents the electric contact with other portions. And since the signal wire 67 is formed, an Al film



accumulates by sputtering process etc., for example. Then, resist is patterned so that it may lap with the drain wire 68 formed previously, and the signal wire 67 is processed by the RIE method.

[0052]Thereby, as shown in drawing 10, it is formed so that the signal wire 67 may lap with the upper part of the drain wire 68. 70 is the address line and 71 is a reset line.

[0053]When patterning resist, it is also preferred to pattern so that the width of the signal wire 67 may become smaller than the width of the drain wire 68. When this reason patterns the resist which has covered the signal wire 67, it is because it can abolish originating in a doubling gap, and the signal wire 67 overflowing into the outside of the drain wire 68, producing a level difference, and waking up electric defective continuity.

[0054]Thus, as shown in drawing 9, wiring width which restricts the numerical aperture of the photo-diode 63 can be made into the width of one duty by allocating in the structure of piling up two, the wiring (signal wire 67) for reading signal current, and the wiring (drain wire 68) for discharging a signal charge. As a result, since the numerical aperture of the photo-diode 68 can be raised, it can high-sensitivity-ize.

[0055]Although aluminum (aluminum) is used as a wiring material in a 3rd embodiment mentioned above, In addition, the metal alloy which contains metal,

such as tungsten (W), molybdenum (Mo), and titanium (Ti), or this at least one or more kinds of metal, for example, and the compound which makes a SHIRIZAI compound the start can also be used.

[0056]Next, a 4th embodiment of this invention is described. Drawing 12 and drawing 13 are what showed the amplified type solid state image pickup device of the structure which laminated the photoelectric conversion part, The figure in which drawing 12 showed the arrangement configuration of the signal wire about 1 pixel of an amplified type solid state image pickup device and a drain wire, and drawing 13 are the figures showing the one side arrangement about wiring arrangement of the amplified type solid state image pickup device of drawing 12.

[0057]It is first formed from an element part like a 3rd embodiment mentioned above. At this time, an electric charge can be accumulated in part also in the portion used as the photoelectric conversion part of a 3rd embodiment.

[0058]And in order to carry a signal charge to the accumulating part 73, RIE etc. are used for the insulating layer 74, the public is formed, and the metaled pillar (plug) 75 is formed with the tungsten CVD etc. Then, of sputtering process etc., aluminum (aluminum) film deposits 400 nm, for example, and is formed in desired shape by patterning of resist, RIE, etc. Thereby, the drain wire 76 and the metal cap 77 are formed simultaneously.

[0059]Then, the silicon oxide 74 accumulates, again, deposition of patterning of

resist, RIE, and a metal membrane, etc. are repeated, and the signal wire 79 and the metal cap 80 are formed on the metal plug 78. Since the metal cap 80 is formed by the signal wire 79 and a same layer at this time, it must be made for the signal wire 79 and the metal cap 80 not to have to contact electrically. For this reason, between the signal wire 79 and the metal cap 80, the danger of maintaining an interval of 0.6 micrometers or more and contacting electrically is avoided.

[0060]For this reason, as the signal wire 79 does not lap on the drain wire 76, it cannot wire, so that drawing 12 may also show. That is, the signal wire 79 and the drain wire 76 must be made into the piled-up structure.

[0061]After even a signal wire is formed, the silicon oxide 74 accumulates again, processing by RIE and deposition processing of a metal membrane are performed, and the metal plug 81 is formed. Then, for example, metal, such as Ti, accumulates, shape working by RIE etc. is performed, and the picture element electrode 82 is formed.

[0062]Finally, as the photoelectric conversion layer 83, an amorphous Si film accumulates, for example and the transparent electrode 84 which comprises ITO etc., for example accumulates on the photoelectric conversion layer 83 top, i.e., the topmost part.

[0063]85 is an amplification transistor, 86 is the address line, and 87 is a reset

line. Thus, since the photoelectric conversion part was allocated up rather than wiring of a signal wire, a drain wire, etc. according to a 4th embodiment, a numerical aperture is not restricted.

[0064]

[Effect of the Invention]As mentioned above, according to this invention, the transistor count used within a cell can be reduced, cell constitution can be simplified, and the solid state camera which can take the large numerical aperture of a photoelectric conversion part can be provided.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a figure showing the composition of the solid state camera in a 1st embodiment of this invention.

[Drawing 2] It is a timing chart explaining operation when driving the device in a 1st embodiment.

[Drawing 3] It is a figure showing the cell part sectional shape which constituted the readout transistor 26 and the amplification transistor 23 in one section.

[Drawing 4] In the potential distribution figure of the cross section of drawing 3, (a) and (b) are the figures showing the time of cell selection and non selection, respectively.

[Drawing 5] It is a figure showing the example of a pattern of a fundamental solid state camera.

[Drawing 6] It is a circuitry figure of the unit cell of the solid state camera shown in drawing 5.

[Drawing 7] It is a top view of the solid state camera concerning a 2nd embodiment of this invention.

[Drawing 8] explaining the effect of a 2nd embodiment briefly, the top view in

which (a) shows the pattern of readout transistor 41', the sectional view where (b) met the Drawing (a) I-I line, and (c) are the figures showing the channel potential.

[Drawing 9] It is a figure in which showing a 3rd embodiment of this invention and showing the arrangement configuration of the wiring (drain wire) for discharging the wiring (signal wire) for reading the signal current amplified about 1 pixel of an amplified type solid state image pickup device, and a signal charge.

[Drawing 10] It is a figure showing the one side arrangement about wiring arrangement of the amplified type solid state image pickup device of drawing 9.

[Drawing 11] It is a representative circuit schematic of this amplified type solid state image pickup device.

[Drawing 12] It is a figure showing the arrangement configuration of the signal wire about 1 pixel of the amplified type solid state image pickup device of structure, and a drain wire which laminated the photoelectric conversion part.

[Drawing 13] It is what showed the amplified type solid state image pickup device of the structure which laminated the photoelectric conversion part, and is a figure showing the one side arrangement about wiring arrangement of the amplified type solid state image pickup device of drawing 12.

[Drawing 14] It is a figure showing the composition of the conventional solid state camera.

[Drawing 15] It is a timing chart when driving the solid state camera of structure conventionally.

[Drawing 16] It is a figure showing the cell part sectional shape which constituted the readout transistor 7, the amplification transistor 3, and the address transistor 5 in one section.

[Drawing 17] In the potential distribution figure of the cross section of drawing 16, (a) and (b) are the figures showing the time of cell selection and non selection, respectively.

[Description of Notations]

21 and 40 Photo-diode,

22 Readout transistor,

23, 42 amplification transistors,

24 Reset transistor,

25 Source line,

26, 41, and 41' readout transistor,

27 Signal wire,

28 Vertical register,

29, 47 sense lines,

30 Drain wire,

31 Reset address line,

32 A sample / hold line,

33 A sample / hold transistor,

34 Storage capacitance,

35 Horizontal register,

36 Horizontal transistor,

37 Signal output line,

43 Vertical selection transistor,

44 Charge-and-discharge transistor,

45 Horizontal address lines,

46 Reset line,

48, 49, and 51 Contact between layers,

50 Gate.



(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 5/335

H 0 4 N 5/335

E

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号

特願平8-245308

(22) 出願日

平成 8 年 (1996) 9 月 17 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 田中 長孝

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 山口 鉄也

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 井原 久典

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

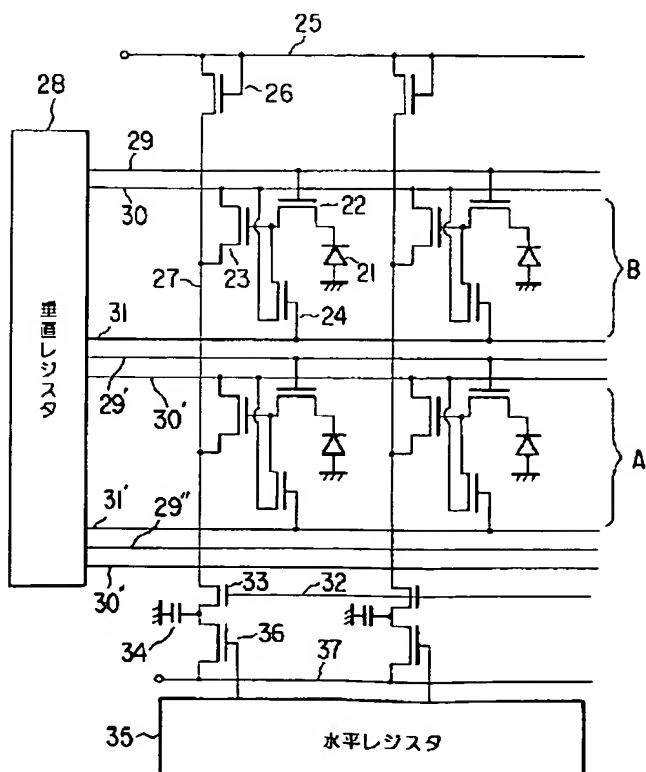
最終頁に続く

(54) 【発明の名称】 固体撮像装置及びその駆動方法

(57) 【要約】

【課題】 固体撮像装置のセル内で使用するトランジスタ数を減らしてセル構成を簡単化し、フォトダイオードの開口率を大きく取ること。

【解決手段】 フォトダイオード 21、読出しトランジスタ 22、増幅トランジスタ 23、リセットトランジスタ 24 で単位セルを構成し、ソース線 25 に接続した読出しトランジスタ 26 を、信号線 27 を介して増幅トランジスタ 23 と接続する。垂直レジスタ 28 は、読出しトランジスタ 22 のゲートに接続した読出し線 29 と、増幅トランジスタ 23 とリセットトランジスタ 24 のドレインに接続したドレイン線 30 と、リセットトランジスタ 24 のゲートに接続したリセットアドレス線 31 を接続する。信号線 27 は、サンプル/ホールドトランジスタ 33 を介して、蓄積容量 34 と接続する。信号電荷は、水平レジスタ 35 から水平トランジスタ 36 に読出しパルスを加えて、信号出力線 37 へ出力する。



# 【特許請求の範囲】

【請求項1】 半導体基板上に少なくともフォトダイオード、リセットトランジスタ、増幅トランジスタ、信号電荷読出しトランジスタを有した単位セルを行列2次元状に配置してなる撮像領域と、この撮像領域の読出し行を選択する垂直選択手段と、選択された行に相当する上記フォトダイオードの検出信号を読出す列方向に配置された複数の垂直信号線と、該垂直信号線から行方向に配置された水平信号線に検出信号を順次読出す水平トランジスタを備えた固体撮像装置の駆動方法に於いて、上記単位セルを選択するのに、ある選択された行のみの全セルに於いて、リセットトランジスタをオンして外部より電圧を印加し、上記増幅トランジスタを動作点に設定して行うことを特徴とする固体撮像装置の駆動方法。

【請求項2】 上記単位セルを非選択するのに、ある選択された行のみの全セルに於いて、上記リセットトランジスタをオンして外部より電圧を印加し、上記増幅トランジスタをオフした状態にして行うことを特徴とする請求項1に記載の固体撮像装置の駆動方法。

【請求項3】 半導体基板上に行列2次元状に配列された複数の光電変換蓄積部と、上記複数の光電変換蓄積部の読出し行を選択する垂直選択手段と、選択された光電変換蓄積部の検出信号を読出す列方向に配置された複数の垂直信号線と、上記光電変換蓄積部から読出された検出信号を入力として上記垂直信号線に検出信号を出力する複数の出力回路と、上記光電変換蓄積部からの検出信号を上記出力回路に選択的に読出す読出しMOS形トランジスタと、上記複数の垂直信号線から行方向に配置された水平信号線に検出信号を順次読出すための水平選択手段とを備えた固体撮像装置に於いて、上記読出しトランジスタは、上記光電変換蓄積部側のチャネル幅が上記出力回路側のチャネル幅よりも狭く設定されていることを特徴とする固体撮像装置。

【請求項4】 光電変換を行う光電変換手段と、上記光電変換による信号電荷を蓄積する信号電荷蓄積手段と、蓄積された信号電荷をリセット、排出する排出手段と、上記蓄積した信号電荷により変調される増幅トランジスタと、該増幅トランジスタからの信号電流を読出す読出し手段を備える型固体撮像装置に於いて、上記読出し手段を構成する第1の配線と上記排出手段を構成する第2の配線は、互いに重ねられて配置形成されていることを特徴とする固体撮像装置。

【請求項5】 上記第1の配線及び第2の配線は、上部に配線された配線の幅が下部に配線された配線の幅よりも大きくないことを特徴とする請求項4に記載の固体撮像装置。

# 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は増幅型MOSセンサを用いた固体撮像装置に係り、特にセル構成を簡便に

すると共に、高解像度を得ることが可能な固体撮像装置及びその駆動方法に関するものである。

## 【0002】

【従来の技術】 近年、光電変換により発生した信号電荷で信号電荷蓄積部の電位を変調し、その電位により画素内部の増幅トランジスタを変調することで画素内部に増幅機能を持たせた固体撮像装置が開発されている。この装置は、増幅型固体撮像装置と称されるもので、画素数の増加やイメージサイズの縮小による画素サイズの縮小に適した固体撮像装置として期待されている。

【0003】 図14は、従来の固体撮像装置の構成を示した図である。図14に於いて、単位セルはフォトダイオード1、読出しトランジスタ2、増幅トランジスタ3、リセットトランジスタ4、アドレストランジスタ5から成り、ソース線6に接続されたロードトランジスタ7は信号線8を通じて増幅トランジスタ3とソースフォロワ回路を構成している。増幅トランジスタ3とアドレストランジスタ5は、ソース/ドレイン(S/D)部9により接続されている。

【0004】 垂直レジスタ10からは、アドレス線11、読出し線12、ドレイン線13、が配線されており、アドレス線11はアドレストランジスタのゲートに、読出し線12は読出しトランジスタ2のゲートに、そしてドレイン線13はアドレストランジスタ5とリセットトランジスタ4のドレインに接続されている。また、信号線8は、サンプル/ホールド線14が接続されたサンプル/ホールドトランジスタ(SHT)15を介して、蓄積容量16と接続される。信号電荷は、水平レジスタ17より水平トランジスタ18に読出しパルス印加することにより、信号出力線19へと出力される。

【0005】 図15は、このような従来構造の固体撮像装置を駆動するときのタイミングチャートである。水平ブランキングHBLK内を $t_1 \sim t_{11}$ に分割して説明する。先ず、選択されるアドレス線11'がハイ(Hi)レベルにされて( $t_2$ )、読出し線12'がHiにされてリセットトランジスタ4と読出しトランジスタ2がオンされることにより、1ライン前の画素列Bがリセットされると同時に、現在選択されている画素列Aの信号が読出される( $t_3$ )。

【0006】 その後、サンプルホールド線14がオンされることで( $t_7$ )、信号が蓄積容量16に蓄えられる。そして、信号有効期間中に水平レジスタ17より水平トランジスタ18に読出しパルスが印加されることにより、信号が信号出力線19に出力される。

【0007】 図16は、読出しトランジスタ7、増幅トランジスタ3、アドレストランジスタ5を1断面に構成したセル部断面形状を示した図である。電荷はソース線6から注入され、読出しトランジスタ7、信号線8、増幅トランジスタ3を通り、更にS/D部のアドレス線

ランジスタ5を通してドレイン線13へと排出される。尚、20は基板である。

#### 【0008】

【発明が解決しようとする課題】図17は、図16の断面部の電位分布図で、(a)及び(b)はそれぞれセル選択時及び非選択時について示した図である。図17

(a)に示されるように、セルが選択されているときは、電荷はソース線6から注入され、読出しトランジスタ7、信号線8、増幅トランジスタ3を通り、更にS/D部9、アドレスタランジスタ5を通してドレイン線13へと排出される。このとき、増幅トランジスタ3には信号電圧が印加されるので、信号線8には、その電圧に応じた出力が出る。

【0009】一方、図17(b)に示されるように、セルが選択されていないときには、アドレスタランジスタ5がオフされているので、電荷はソース線6から注入され、読出しトランジスタ7、信号線8まで流れるが、ドレイン線13には流れず、信号線8、増幅トランジスタ3、S/D部9はフローティングになっている。このため、この部分の電位は、他の選択されたセルの信号電位により変化する。

【0010】このように、従来のセル構造ではアドレスタランジスタを使用していたために、フォトダイオードの開口率を大きく取れないという問題があった。したがってこの発明は上記実状に鑑みてなされたもので、セル内で使用するトランジスタ数を減らしてセル構成を単純化し、光電変換部の開口率を大きく取ることのできる固体撮像装置を提供することを目的とする。

#### 【0011】

【課題を解決するための手段】すなわちこの発明は、半導体基板上に少なくともフォトダイオード、リセットトランジスタ、増幅トランジスタ、信号電荷読出しトランジスタを有した単位セルを行列2次元状に配置してなる撮像領域と、この撮像領域の読出し行を選択する垂直選択手段と、選択された行に相当する上記フォトダイオードの検出信号を読出す列方向に配置された複数の垂直信号線と、該垂直信号線から行方向に配置された水平信号線に検出信号を順次読出す水平トランジスタを備えた固体撮像装置の駆動方法に於いて、上記単位セルを選択するのに、ある選択された行のみの全セルに於いて、リセットトランジスタをオンして外部より電圧を印加し、上記増幅トランジスタを動作点に設定して行うことを特徴とする。

【0012】またこの発明は、半導体基板上に行列2次元状に配列された複数の光電変換蓄積部と、上記複数の光電変換蓄積部の読出し行を選択する垂直選択手段と、選択された光電変換蓄積部の検出信号を読出す列方向に配置された複数の垂直信号線と、上記光電変換蓄積部から読出された検出信号を入力として上記垂直信号線に検

部からの検出信号を上記出力回路に選択的に読出す読出しMOS形トランジスタと、上記複数の垂直信号線から行方向に配置された水平信号線に検出信号を順次読出すための水平選択手段とを備えた固体撮像装置に於いて、上記読出しトランジスタは、上記光電変換蓄積部側のチャンネル幅が上記出力回路側のチャンネル幅よりも狭く設定されていることを特徴とする。

【0013】更にこの発明は、光電変換を行う光電変換手段と、上記光電変換による信号電荷を蓄積する信号電荷蓄積手段と、蓄積された信号電荷をリセット、排出する排出手段と、上記蓄積した信号電荷により変調される増幅トランジスタと、該増幅トランジスタからの信号電流を読出す読出し手段を備える型固体撮像装置に於いて、上記読出し手段を構成する第1の配線と上記排出手段を構成する第2の配線は、互いに重ねられて配置形成されていることを特徴とする。

【0014】この発明の固体撮像装置の駆動方法にあつては、セルの選択、非選択がリセットトランジスタを介して行われる。また、この発明によれば、読出しトランジスタのチャンネル幅が、フォトダイオード側よりも増幅回路側の方が大きいので、ナローチャンネル効果の結果、読出しトランジスタのゲート下のチャンネルポテンシャルは増幅回路側の方が高くなる。したがって、読出しトランジスタのチャンネルを通過する信号電荷は、このポテンシャル差によっても移動するので、拡散のみによって流れる場合よりも読出し時間が短くなる。

【0015】更にこの発明にあつては、信号電流の読出し用の配線と信号電荷の排出用の配線のうち、1本分の配線幅でしかフォトダイオードの開口率を制限しなくなるので、従来よりもフォトダイオードの開口率を大きくすることが可能である。また、同様の積層型撮像素子においては、素子を微細化しても、ドレイン線と信号線を配線できるようになる。

#### 【0016】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1は、この発明の第1の実施の形態に於ける固体撮像装置の構成を示した図である。

【0017】図1に於いて、単位セルは、フォトダイオード21、読出しトランジスタ22、増幅トランジスタ23、リセットトランジスタ24から成っており、ソース線25に接続された読出しトランジスタ26は、信号線27を通じて増幅トランジスタ23とソースフォロワ回路を構成している。

【0018】垂直レジスタ28からは、読出し線29、ドレイン線30、リセットアドレス線31が配線されており、読出し線29は読出しトランジスタ22のゲートに、ドレイン線30は増幅トランジスタ23とリセットトランジスタ24のドレインに、そしてリセットアドレス線31はリセットトランジスタ24のゲートに接続されてい

32に接続されたサンプル／ホールドトランジスタ（SHTr）33を介して、蓄積容量34と接続される。信号電荷は、水平レジスタ35より水平トランジスタ36に読出しパルスが印加されることにより、信号出力線37へと出力される。

【0019】次に、図2に示されるタイミングチャートを参照して、第1の実施の形態に於けるデバイスを駆動するときの動作を説明する。水平ブランキングHBLK内を $t_{21} \sim t_{31}$ に分割する。まず、選択する画素列Aのドレイン線30'がHiにされ（ $t_{22}$ ）、その後リセットアドレス線31'がオフされる（ $t_{23}$ ）。そして、読出し線29'がHiにされる（ $t_{24}$ ）。このとき、選択されていない画素列Bは、リセットアドレス線31がHiにされてドレイン線30がロー（Low）レベルにされている。

【0020】その後、サンプル／ホールド線32がオンされることで（ $t_{26}$ ）、信号が蓄積容量34に蓄えられる。そして、信号有効期間中に水平レジスタ35から水平トランジスタ36に読出しパルスが印加されることにより、信号が信号出力線37へと出力される。

【0021】図3は、読出しトランジスタ26、増幅トランジスタ23を1断面に構成したセル部断面形状を示した図である。電荷は、ソース線25より注入され、読出しトランジスタ26、信号線27、増幅トランジスタ23を通り、ドレイン線30へと排出される。

【0022】図4は、図3の断面部の電位分布図で、（a）及び（b）はそれぞれセル選択時及び非選択時について示した図である。図4（a）に示されるように、セルが選択されているときは、電荷はソース線25より注入され、読出しトランジスタ26、信号線27、増幅トランジスタ23を通してドレイン線30へと排出される。このとき、増幅トランジスタ23には信号電圧が印加されるので、信号線27には、その電圧に応じた出力が出る。

【0023】一方、図4（b）に示されるように、セルが選択されていないときには、増幅トランジスタ23がオフされているので、電荷はソース線25より注入され、読出しトランジスタ26、信号線27まで流れるが、ドレイン線30には流れず、信号線27はフローティングになっている。このため、この部分の電位は、他の選択されたセルの信号電位により変化する。

【0024】このように、第1の実施の形態によれば、セル内にアドレストランジスタが不要になるので、開口率を大きく取ることが可能になる。ここで、基本的な固体撮像装置のパターン例を図5に示す、また、図6は、図5に示された固体撮像装置の単位セルの回路構成図である。

【0025】図6に於いて、信号電荷は、フォトダイオード40から読出しトランジスタ41を経て増幅トランジスタ42のゲートに読出され、垂直選択トランジスタ43のゲートに読出され、増幅された信号が読出される。フォトダイオード40から読出された信号電荷は、次のフィールドの信号電荷が読出される前に、充放電トランジスタ44を経てドレインに捨てられる。

【0026】このこととを、図5に示される平面パターンを用いて説明すると以下になる。すなわち、垂直シフトレジスタから水平方向に配線されている水平アドレス線45は、垂直選択トランジスタ43のゲートに接続され、信号を読出すラインを選択する。同様に、垂直シフトレジスタから水平方向に配線されるリセット線46、読出し線47は、それぞれリセットトランジスタ44のゲート、読出しトランジスタ41のゲートに接続されている。増幅トランジスタ42のドレインは、垂直方向に配置された垂直信号線に層間コンタクト48を経て接続されている。

【0027】上記フォトダイオード40に蓄積された信号電荷は、読出しトランジスタ41がオンされるとドレインに読出される。このドレインは、層間コンタクト49を経て増幅トランジスタ42のゲート50に電氣的に接続されているので、ゲート50の電位が変化する。垂直選択トランジスタ43がオンされると、増幅された信号は層間コンタクト48を経て、垂直信号線に読出される。

【0028】また、フォトダイオード40から読出された増幅トランジスタ42のゲートを変調している信号電荷は、次のフィールドの信号電荷が読出される前に、充放電トランジスタ44を経てドレインに捨てられる。充放電トランジスタ44のドレインは、隣接する単位セルの増幅トランジスタのドレインと共通になっており、層間コンタクト51を経て電源線に繋がっている。

【0029】尚、図5では簡単のために、素子形成領域とゲートポリシリコンと層間コンタクトのパターンのみを示しているが、実際には第2層ポリシリコンやアルミ配線も存在している。

【0030】このとき、読出しトランジスタ41のチャネル幅を見ると、フォトダイオード40側のチャネル幅もドレイン側のチャネル幅も同じになっている。このように、基本的な固体撮像装置では、フォトダイオードと増幅回路の間のMOS形読出しトランジスタに関して、読出しトランジスタのチャネルポテンシャルがチャネル方向に渡って一定であった。このため、チャネル内を走行する信号電荷は拡散のみで移動し、読出しが終了するまでに時間がかかっており、これが素子の多画素化を妨げる要因の1つとなっていた。そこで、読出しトランジスタを用いたフォトダイオードからの信号電荷の読出し時間を短くするために、読出しトランジスタのチャネル幅について、フォトダイオード側よりも増幅回路側の方を大きくすることが考えられる。

【0031】図7は、この発明の第2の実施の形態に係る

る固体撮像装置の平面図である。この図7に示される固体撮像装置の単位セルの構成図は図6と同様であるので、ここでは説明を省略する。

【0032】図7に於いて、垂直シフトレジスタから水平方向に配線されている水平アドレス線45は、垂直選択トランジスタ43のゲートに接続され、信号を読み出すラインを選択する。同様に、垂直シフトレジスタから水平方向に配線されるリセット線46、読出し線47は、それぞれリセットトランジスタ44のゲート、読出しトランジスタ41'のゲートに接続されている。増幅トランジスタ42のドレインは、垂直方向に配置された垂直信号線に層間コンタクト48を経て接続されている。

【0033】フォトダイオード40に蓄積された信号電荷は、読出しトランジスタ41'がオンされるとドレインに読出される。このドレインは、層間コンタクト49を経て増幅トランジスタ42のゲート50に電氣的に接続されているので、ゲート50の電位が変化する。

【0034】また、垂直選択トランジスタ43がオンされると、増幅された信号は層間コンタクト49を経て垂直信号線に読出される。フォトダイオード40から読出された増幅トランジスタ42のゲート50を変調している信号電荷は、次のフィールドの信号電荷が読出される前に、充放電トランジスタ44を経てドレインに捨てられる。

【0035】充放電トランジスタ44のドレインは、隣接する単位セルの増幅トランジスタ42のドレインと共通になっており、層間コンタクト51を経て電源線に繋がっている。尚、図7では簡単のために、素子形成領域とゲートポリシリコンと層間コンタクトのパターンのみを示しているが、実際には第2層ポリシリコンやアルミ配線も存在している。

【0036】このとき、読出しトランジスタ41'のチャンネル幅を見ると、フォトダイオード40側のチャンネル幅よりも、ドレイン側のチャンネル幅の方が広く形成されている。

【0037】図8は、第2の実施の形態の効果を簡単に説明するもので、(a)は読出しトランジスタ41'のパターンを示す平面図、(b)は同図(a)I-I線に沿った断面図、(c)はそのチャンネルポテンシャルを表わす図である。

【0038】図8(a)及び(b)に於いて、フォトダイオード40がソース、第1層ポリシリコンがゲート電極53となっている。フォトダイオード40で生じた信号電荷は、トランジスタのオンと共にドレイン54に読出される。尚、55は読出しトランジスタのドレインと図示されない上層の配線とを接続するコンタクトであり、56はP型基板、57はN型不純物拡散層、58はゲート酸化膜、そして59はLOCOS領域である。

【0039】図8(c)に於いて、ゲート電極53の下

くなっている( $W_1 < W_2$ )。それ故、ナローチャンネル効果によりチャンネルポテンシャルが低くなる(図8

(c)では上方になる)。この結果、チャンネルを通過する信号電荷は、ポテンシャル差によってもドレイン方向に加速を受けることになる。したがって、拡散のみで流れる従来例と比較して、読出し時間を短くすることが可能となる。

【0040】このように、第2の実施の形態によれば、読出しトランジスタのチャンネル幅が、フォトダイオード側よりも増幅回路側の方が大きいので、ナローチャンネル効果の結果、読出しトランジスタのゲート下のチャンネルポテンシャルは増幅回路側の方が高くなる。したがって、読出しトランジスタのチャンネルを通過する信号電荷はこのポテンシャル差によっても移動するので、拡散のみによって流れる場合よりも、読出し時間が短くなる。

【0041】ところで、フォトダイオードの開口率を大きくするために、信号線とドレイン線の配線を重ねて構成しても良い。すなわち、増幅型固体撮像装置に於ける画素の基本構成は、フォトダイオード、リセットトランジスタ、増幅トランジスタ、ライン選択トランジスタ、或いは容量結合、そしてフォトダイオードと増幅トランジスタゲートとを接続する配線である。

【0042】また、光電変換した信号電荷を一時蓄積する場合には、フォトダイオードとは異なる領域に蓄積ダイオードを設け、フォトダイオードと蓄積ダイオードとの間に転送ゲートを設けている。

【0043】更に、増幅トランジスタで増幅された信号を読み出すための信号線と、信号電荷をリセット、排出するためのドレイン線が、それぞれ配線されている。通常、信号線とドレイン線は、それぞれ、独立に2本配線されている。

【0044】素子を微細化して、光電変換部をトランジスタや信号線、ドレイン線の上部に蓄積した構造の固体撮像素子に於いては、画素電極と蓄積部との電氣的導通を得るために、信号線を形成する層とドレイン線を形成する層とを、同じ層で金属のキャップを形成しなければならない。このため、信号線、ドレイン線を形成するとき、上記金属キャップと電氣的に接触しないようにするという制約がある。

【0045】このような増幅型固体撮像装置では、信号線とドレイン線の配線を独立に配線していた。しかしながら、上記配線を独立した構造では、素子の微細化を行うにあたり、信号線とドレイン線の2本の配線によりフォトダイオード部の開口率を制限してしまう。

【0046】また、光電変換部を最上部に積層した構造の撮像装置では、信号線とドレイン線を重ならないように独立に配線するだけのスペースが無くなるという問題がある。つまり、微細な素子を形成するとき、信号線とドレイン線を重ねないで配線することが不可能になる。

【0047】このため、以下に述べる実施の形態では

【0052】また、1バグットのパッケージングが行な

【0060】このため、図12からも分かるように、信号線79は、ドレイン線76の上に重ならないように配線することはできない。つまり、信号線79とドレイン



線 7 6 は、重ねられた構造にしなければならない。

【0061】信号線まで形成された後は、再度シリコン酸化膜 7 4 が堆積され、R I E による加工、金属膜の堆積加工が行われて金属プラグ 8 1 が形成される。この後、例えば、T i 等の金属が堆積され、R I E 等による形状加工が行われて画素電極 8 2 が形成される。

【0062】最後に、光電変換層 8 3 として、例えばアモルファス S i 膜が堆積され、光電変換層 8 3 上、すなわち最上部に、例えば I T O 等で構成される透明電極 8 4 が堆積される。

【0063】尚、8 5 は増幅トランジスタ、8 6 はアドレス線であり、8 7 はリセット線である。このように、第 4 の実施の形態によれば、光電変換部を信号線、ドレイン線等の配線よりも上方に配設したので、開口率を制限されることはない。

【0064】

【発明の効果】以上のようにこの発明によれば、セル内で使用するトランジスタ数を減らしてセル構成を単純化し、光電変換部の開口率を大きく取ることのできる固体撮像装置を提供することができる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施の形態に於ける固体撮像装置の構成を示した図である。

【図 2】第 1 の実施の形態に於けるデバイスを駆動するときの動作を説明するタイミングチャートである。

【図 3】読出しトランジスタ 2 6、増幅トランジスタ 2 3 を 1 断面に構成したセル部断面形状を示した図である。

【図 4】図 3 の断面部の電位分布図で、(a) 及び (b) はそれぞれセル選択時及び非選択時について示した図である。

【図 5】基本的な固体撮像装置のパターン例を示した図である。

【図 6】図 5 に示された固体撮像装置の単位セルの回路構成図である。

【図 7】この発明の第 2 の実施の形態に係る固体撮像装置の平面図である。

【図 8】第 2 の実施の形態の効果を簡単に説明するもので、(a) は読出しトランジスタ 4 1' のパターンを示す平面図、(b) は同図 (a) 1-1 線に沿った断面図、(c) はそのチャネルポテンシャルを表わす図である。

【図 9】この発明の第 3 の実施の形態を示すもので、増幅型固体撮像素子の 1 画素分について、増幅された信号電流を読出すための配線（信号線）と信号電荷を排出するための配線（ドレイン線）の配置構成を示した図であ

る。

【図 10】図 9 の増幅型固体撮像素子の配線配置についての半面配置を示した図である。

【図 11】この増幅型固体撮像素子の等価回路図である。

【図 12】光電変換部を積層した構造の増幅型固体撮像素子の 1 画素分についての信号線とドレイン線の配置構成を示した図である。

【図 13】光電変換部を積層した構造の増幅型固体撮像素子について示したもので、図 12 の増幅型固体撮像素子の配線配置についての半面配置を示した図である。

【図 14】従来の固体撮像装置の構成を示した図である。

【図 15】従来構造の固体撮像装置を駆動するときのタイミングチャートである。

【図 16】読出しトランジスタ 7、増幅トランジスタ 3、アドレストランジスタ 5 を 1 断面に構成したセル部断面形状を示した図である。

【図 17】図 16 の断面部の電位分布図で、(a) 及び (b) はそれぞれセル選択時及び非選択時について示した図である。

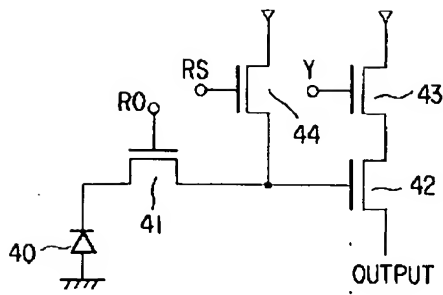
【符号の説明】

- 2 1、4 0 フォトダイオード、
- 2 2 読出しトランジスタ、
- 2 3、4 2 増幅トランジスタ、
- 2 4 リセットトランジスタ、
- 2 5 ソース線、
- 2 6、4 1、4 1' 読出しトランジスタ、
- 2 7 信号線、
- 2 8 垂直レジスタ、
- 2 9、4 7 読出し線、
- 3 0 ドレイン線、
- 3 1 リセットアドレス線、
- 3 2 サンプル／ホールド線、
- 3 3 サンプル／ホールドトランジスタ、
- 3 4 蓄積容量、
- 3 5 水平レジスタ、
- 3 6 水平トランジスタ、
- 3 7 信号出力線、
- 4 3 垂直選択トランジスタ、
- 4 4 充放電トランジスタ、
- 4 5 水平アドレス線、
- 4 6 リセット線、
- 4 8、4 9、5 1 層間コンタクト、
- 5 0 ゲート。

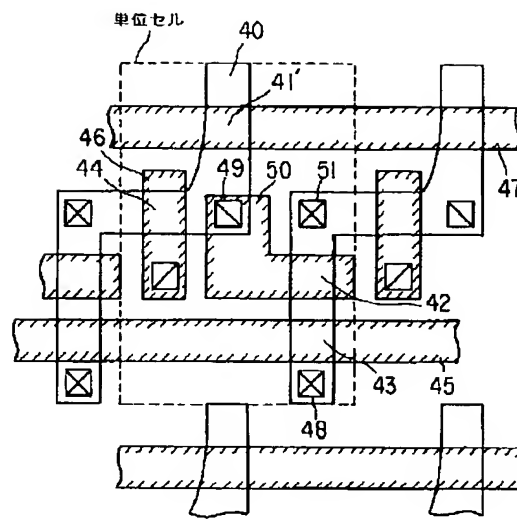




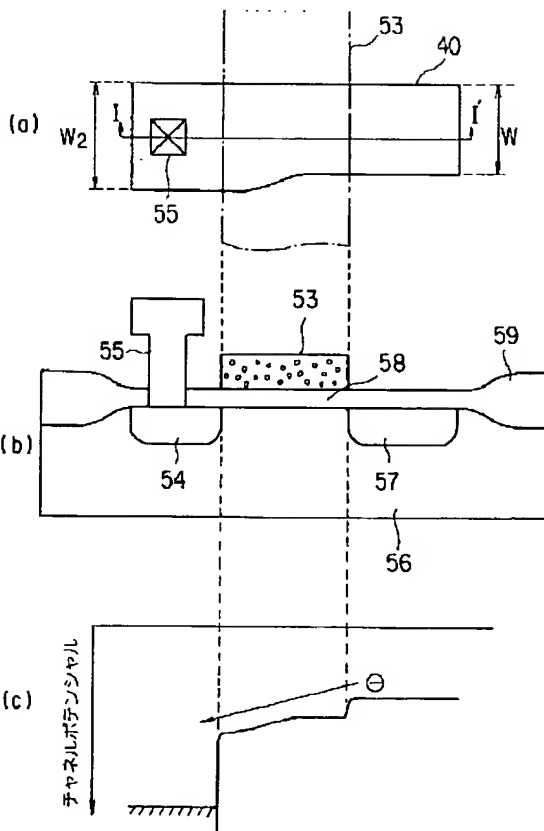
【図6】



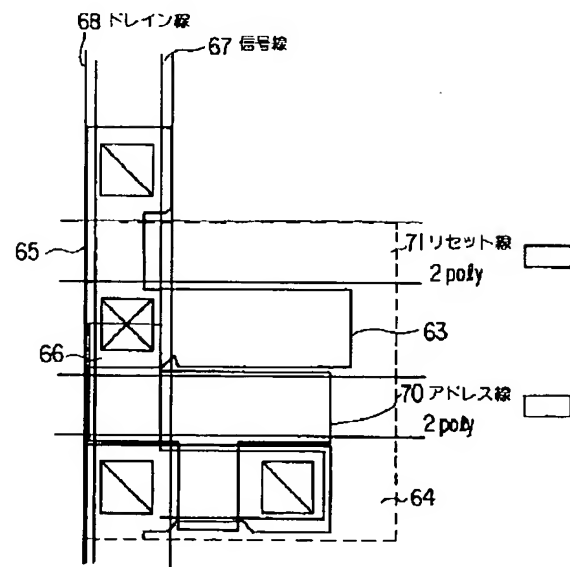
【図7】



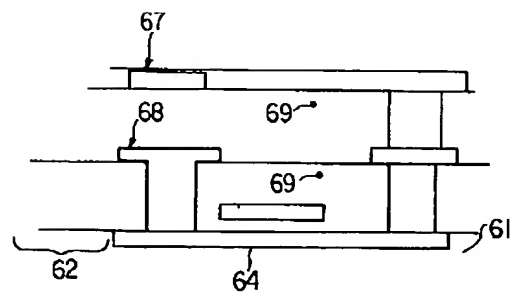
【図8】



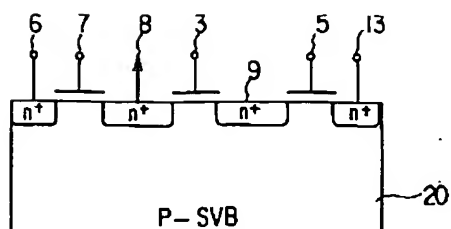
【図9】



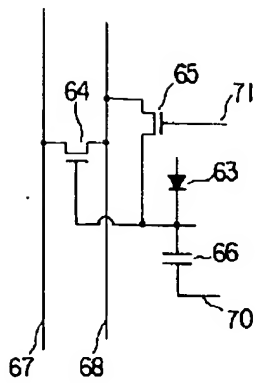
【図10】



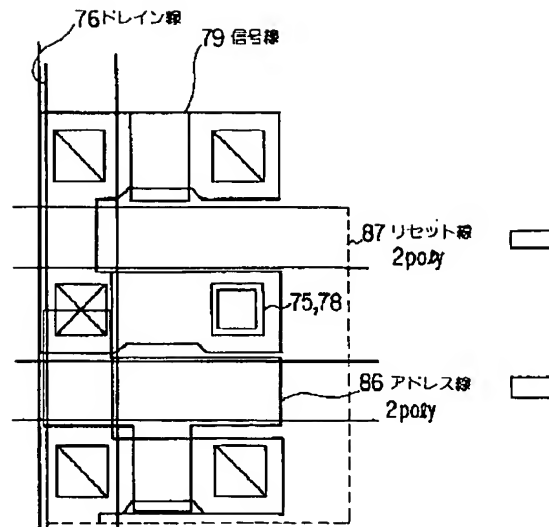
【図16】



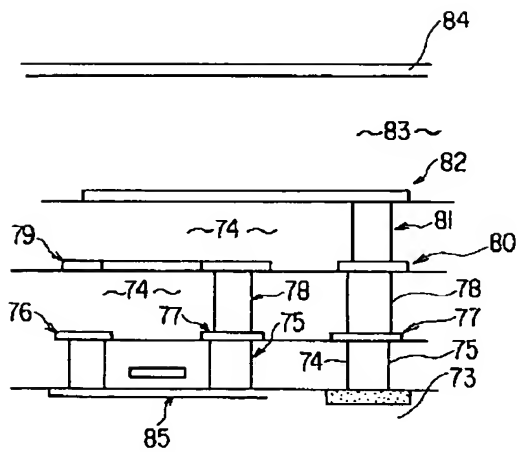
【図11】



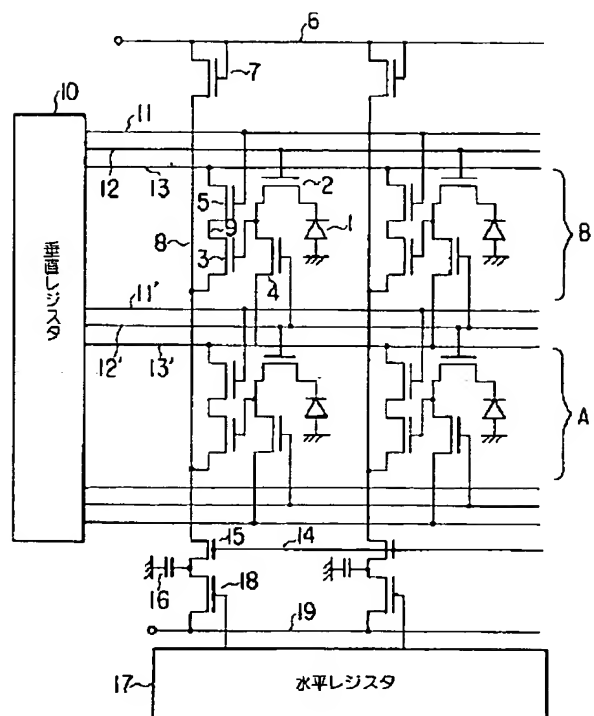
【図12】



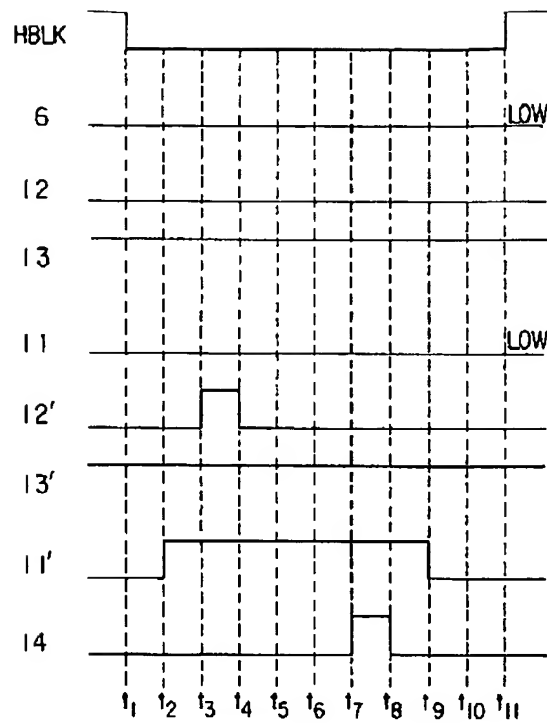
【図13】



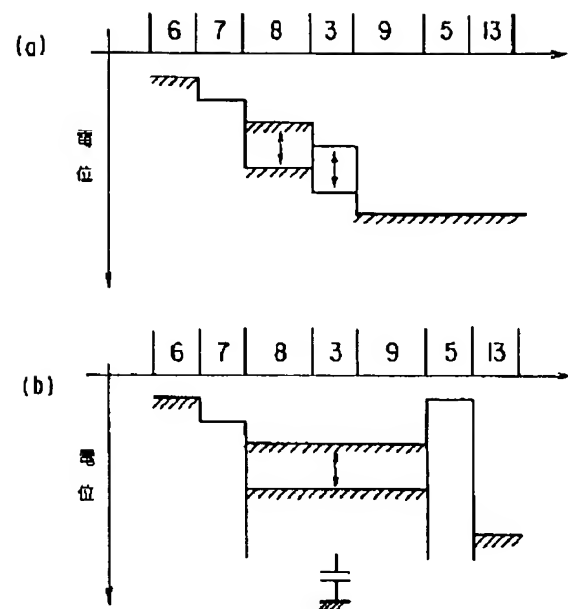
【図14】



【図 15】



【図 17】



フロントページの続き

(72)発明者 飯田 義典  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72)発明者 野崎 秀俊  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72)発明者 馬淵 圭司  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72)発明者 大澤 慎治  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内